

Attorney Docket No. 5649-1229

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re: Kim et al.

Serial No.: To Be Assigned

Filed: Concurrently Herewith

For: SYSTEMS AND METHODS FOR SIMULTANEOUSLY TESTING
SEMICONDUCTOR MEMORY DEVICES

Date: April 13, 2004

Mail Stop PATENT APPLICATION
Commissioner for Patents
P. O. Box 1450
Alexandria, VA 22313-1450

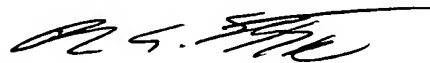
SUBMITTAL OF PRIORITY DOCUMENT

Sir:

To complete the requirements of 35 USC 119, enclosed is a certified copy of the following Korean priority application:

10-2003-0038890, filed June 16, 2003.

Respectfully submitted,

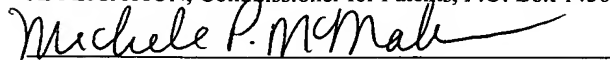


Rohan G. Sabapathypillai
Registration No. 51,074

USPTO Customer No. 20792
Myers Bigel Sibley & Sajovec, P.A.
Post Office Box 37428
Raleigh, North Carolina 27627
Telephone: (919) 854-1400
Facsimile: (919) 854-1401
Our File No. 5649-1165

"Express Mail" mailing label number EV 381444393 US
Date of Deposit: April 13, 2004

I hereby certify that this paper or fee is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 CFR 1.10 on the date indicated above and is addressed to MAIL STOP PATENT APPLICATION, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.


Michele P. McMahan



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2003-0038890
Application Number

출원년월일 : 2003년 06월 16일
Date of Application JUN 16, 2003

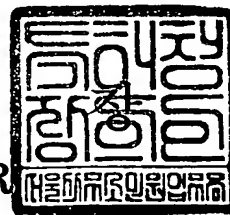
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 08 월 08 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.06.16
【발명의 명칭】	반도체 메모리 장치 및 이 장치의 테스트 방법
【발명의 영문명칭】	Semiconductor memory device and test method thereof
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	박상수
【대리인코드】	9-1998-000642-5
【포괄위임등록번호】	2000-054081-9
【발명자】	
【성명의 국문표기】	김정열
【성명의 영문표기】	KIM, JOUNG YEAL
【주민등록번호】	720911-1789919
【우편번호】	442-756
【주소】	경기도 수원시 팔달구 원천동 원천주공2단지아파트 201동 1601호
【국적】	KR
【발명자】	
【성명의 국문표기】	김경호
【성명의 영문표기】	KIM, KYOUNG HO
【주민등록번호】	710520-1162218
【우편번호】	442-725
【주소】	경기도 수원시 팔달구 영통동 벽적골8단지 한신아파트 813동 1204호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 박상수 (인)

【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 13 면 13,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 14 항 557,000 원

【합계】 599,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명의 반도체 메모리 장치 및 이 장치의 테스트 방법을 공개한다. 이 장치는 n (n 은 1보다 큰 정수)개의 워드 라인들과 m (m 은 1보다 큰 정수)개의 컬럼 선택신호 라인들이 선택됨에 의해서 각각 x (x 는 1보다 큰 정수)비트의 데이터를 입출력하는 nm 개의 메모리 셀 어레이들, y (y 는 1보다 큰 정수)개의 데이터 입출력 패드들을 통하여 입력되는 y 비트의 데이터를 $nm \times x$ 비트의 데이터로 신장하여 nm 개의 메모리 셀 어레이들 각각으로 x 비트의 데이터를 라이트하는 테스트 데이터 라이트 회로, 및 nm 개의 메모리 셀 어레이들 각각으로부터 출력되는 x 비트의 데이터를 각각 비교하여 nm 비트의 비교 결과 데이터를 발생하고, 제어신호에 응답하여 nm 비트의 비교 결과 데이터를 y 비트씩 선택하여 선택된 y 비트의 비교 결과 데이터를 대응하는 y 개의 데이터 입출력 패드들로 출력하는 테스트 데이터 리드 회로로 구성되어 있다. 따라서, 작은 수의 데이터 입출력 패드들을 사용하여 테스트가 가능하며, 이에 따라, 테스터가 종래보다 많은 수의 반도체 메모리 장치를 동시에 테스트하는 것이 가능하다.

【대표도】

도 3

【명세서】**【발명의 명칭】**

반도체 메모리 장치 및 이 장치의 테스트 방법{Semiconductor memory device and test method thereof}

【도면의 간단한 설명】

도1은 종래의 더블 데이터 레이트로 동작하는 반도체 메모리 장치의 구성을 나타내는 블록도이다.

도2는 도1에 나타난 비교기의 일예의 구성을 나타내는 블록도이다.

도3는 본 발명의 더블 데이터 레이트로 동작하는 반도체 메모리 장치의 일실시예의 구성을 나타내는 블록도이다.

도4는 도3에 나타난 반도체 메모리 장치의 비교기 및 선택회로의 실시예의 구성을 나타내는 블록도이다.

도5는 본 발명의 더블 데이터 레이트로 동작하는 반도체 메모리 장치의 다른 실시예의 구성을 나타내는 블록도이다.

도6은 도5에 나타난 반도체 메모리 장치의 비교기들 및 선택회로의 실시예의 구성을 나타내는 블록도이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <7> 본 발명은 반도체 메모리 장치에 관한 것으로, 특히 웨이퍼 테스트시에 테스트를 위하여 사용되는 패드들을 줄일 수 있는 반도체 메모리 장치 및 이 장치의 테스트 방법에 관한 것이다.
- <8> 종래의 테스터는 동시에 여러개의 반도체 메모리 장치들을 동시에 테스트하기 위하여 병렬 비트 테스트(PBT; Parallel Bit Test) 방법을 사용한다. 병렬 비트 테스트 방법은 반도체 메모리 장치의 모든 데이터 입출력 패드들을 통하여 데이터를 입출력하는 것이 아니라, 대표적인 소정 개수의 데이터 입출력 패드들을 통하여 데이터를 입출력하기 때문에 동시에 많은 수의 반도체 메모리 장치들을 테스트하는 것이 가능하다.
- <9> 예를 들면, 테스터가 32개의 데이터 입출력 단자를 구비하는 경우에, 16비트의 데이터를 입출력하는 것이 가능한 싱글 데이터 레이트(SDR; Single Data Rate)로 동작하는 반도체 메모리 장치를 병렬 비트 테스트 방법을 사용하지 않고 테스트를 수행하게 되면 2개의 16비트의 데이터를 입출력할 수 있는 반도체 메모리 장치를 테스트할 수 있다. 그러나, 병렬 비트 테스트 방법에 의해서 4개 또는 8개의 대표적인 데이터 입출력 패드들을 통하여 데이터를 입출력하게 되면 총 8개 또는 4개의 반도체 메모리 장치들을 동시에 테스트하는 것이 가능하다.
- <10> 따라서, 일반적으로 반도체 메모리 장치를 테스트할 때 병렬 비트 테스트 방법에 의해서 테스트를 수행한다.

<11> 도1은 종래의 더블 데이터 레이트로 동작하는 반도체 메모리 장치의 구성을 나타내는 블록도로서, 메모리 셀 어레이(10), 컬럼 리턴던트 메모리 셀 어레이(12), 로우 리턴던트 메모리 셀 어레이(14), 비교기(16), 및 라이트 데이터 멀티플렉서(18)로 구성되어 있다.

<12> 도1에서, DQ1 ~ DQ16은 데이터 입출력 패드들을 나타낸다. 도1에 나타난 반도체 메모리 장치는 데이터 입출력 패드들(DQ1 ~ DQ16)을 통하여 16비트의 데이터를 더블 데이터 레이트로 입출력하는 것이 가능하다. 메모리 셀 어레이(10)는 짝수번째 메모리 셀 어레이(10-1)와 홀수번째 메모리 셀 어레이(10-2)로 구성되고, 짝수번째 메모리 셀 어레이(10-1)는 4개의 메모리 셀 어레이들(① ~ ④)로 이루어지고, 홀수번째 메모리 셀 어레이(10-2)는 4개의 메모리 셀 어레이들(⑤ ~ ⑧)로 이루어져 있다. ECSL1은 짝수번째 메모리 셀 어레이(10-1)의 메모리 셀 어레이들(①, ③) 각각의 4개의 비트 라인들을 선택하기 위한 대표적인 컬럼 선택신호 라인을, ECSL2는 짝수번째 메모리 셀 어레이(10-1)의 메모리 셀 어레이들(②, ④) 각각의 4개의 비트 라인들을 선택하기 위한 대표적인 컬럼 선택신호 라인을, OCSL1은 홀수번째 메모리 셀 어레이(10-2)의 메모리 셀 어레이들(⑤, ⑦) 각각의 4개의 비트 라인들을 선택하기 위한 대표적인 컬럼 선택신호 라인을, OCSL2는 홀수번째 메모리 셀 어레이(10-2)의 메모리 셀 어레이들(⑥, ⑧) 각각의 4개의 비트 라인들을 선택하기 위한 대표적인 컬럼 선택신호 라인을 각각 나타낸다. 그리고, WL1은 메모리 셀 어레이(10)의 메모리 셀 어레이들(①, ②, ⑤, ⑥) 각각의 워드 라인들을 선택하기 위한 대표적인 워드 라인을, WL2는 메모리 셀 어레이(10)의 메모리 셀 어레이들(③, ④, ⑦, ⑧) 각각의 워드 라인들을 선택하기 위한 대표적인 워드 라인을 나타낸다. RCSL은 컬럼 리턴던트 메모리 셀 어레이(12)의 대표적인 하나의 리턴던트 컬럼 선

택신호 라인을, RWL은 로우 리턴던트 메모리 셀 어레이(14)의 대표적인 하나의 리턴던트 워드 라인을 나타낸다. 그리고, BL은 메모리 셀 어레이(10)의 대표적인 하나의 비트 라인을 나타낸다.

<13> 도1에 나타낸 블록들 각각의 기능을 설명하면 다음과 같다.

<14> 메모리 셀 어레이(10)는 짝수번째 메모리 셀 어레이(10-1)와 홀수번째 메모리 셀 어레이(10-2)로 구성되고, 짝수번째 메모리 셀 어레이(10-1)는 워드 라인들(WL1, WL2) 각각과 컬럼 선택신호 라인들(ECSL1, ECSL2) 각각의 사이에 데이터를 저장하는 4개의 메모리 셀 어레이들(① ~ ④)로 이루어지고, 4개의 메모리 셀 어레이들(① ~ ④) 각각은 라이트 동작시에 4비트씩의 데이터(EDI1 ~ 4, EDI5 ~ 8, EDI9 ~ 12, EDI13 ~ 16)를 입력하고, 리드 동작시에 4비트씩의 데이터(EDO1 ~ 4, EDO5 ~ 8, EDO9 ~ 12, EDO13 ~ 16)를 출력한다. 그리고, 홀수번째 메모리 셀 어레이(10-2)는 워드 라인들(WL1, WL2) 각각과 컬럼 선택신호 라인들(OC SL1, OC SL2) 각각의 사이에 데이터를 저장하는 4개의 메모리 셀 어레이들(⑤ ~ ⑧)로 이루어지고, 4개의 메모리 셀 어레이들(⑤ ~ ⑧) 각각은 라이트 동작시에 4비트씩의 데이터(ODI1 ~ 4, ODI5 ~ 8, ODI9 ~ 12, ODI13 ~ 16)를 입력하고, 리드 동작시에 4비트씩의 데이터(ODO1 ~ 4, ODO5 ~ 8, ODO9 ~ 12, ODO13 ~ 16)를 출력한다. 컬럼 리턴던트 메모리 셀 어레이(12)는 메모리 셀 어레이(10)의 컬럼 선택신호 라인들(ECSL1, ECSL2, OC SL1, OC SL2)에 연결된 메모리 셀들에 결함이 있는 경우에 결함이 있는 컬럼 선택신호 라인을 리턴던트 컬럼 선택신호 라인으로 대체하기 위하여 사용된다. 로우 리턴던트 메모리 셀 어레이(14)는 메모리 셀 어레이(10)의 워드 라인들(WL1, WL2)에 연결된 메모리 셀들에 결함이 있는 경우에 결함이 있는 워드 라인을 리턴던트 워드 라인으로 대체하기 위하여 사용된다.

드 라인을 리턴던트 워드 라인으로 대체하기 위하여 사용된다. 비교기(16)는 병렬 비트 테스트시의 리드 동작시에 메모리 셀 어레이들(① ~ ⑧) 각각으로부터 출력되는 4비트씩의 테스트 데이터(ED01 ~ 4, ED05 ~ 8, ED09 ~ 12, ED013 ~ ED016, OD01 ~ 4, OD05 ~ 8, OD09 ~ 12, OD013 ~ 16)를 각각 비교하여 8비트의 비교 결과 데이터(MA1 ~ MA8)를 발생한다. 이때, 발생하는 8비트의 비교 결과 데이터(MA1 ~ MA8)가 대표적인 8개의 데이터 입출력 패드들(DQ1, DQ3, DQ5, DQ7, DQ9, DQ11, DQ13, DQ15)을 통하여 출력된다. 결과적으로, 메모리 셀 어레이들(①, ②, ③, ④, ⑤, ⑥, ⑦, ⑧) 각각으로부터 출력되는 4비트씩의 데이터를 비교한 비교 결과 데이터가 8개의 데이터 입출력 패드들(DQ1, DQ3, DQ5, DQ7, DQ9, DQ11, DQ13, DQ15) 각각을 통하여 출력된다. 라이트 데이터 멀티플렉서(18)는 병렬 비트 테스트시의 라이트 동작시에 4개(또는, 8개)의 데이터 입출력 패드들(DQ1, DQ5, DQ9, DQ13)(또는, DQ1, DQ3, DQ5, DQ7, DQ9, DQ11, DQ13, DQ15)을 통하여 입력되는 4비트(또는, 8비트)의 데이터를 32비트의 데이터로 신장하여 4비트씩의 데이터(EDI1 ~ 4, EDI5 ~ 8, EDI9 ~ 12, EDI13 ~ 16, ODI1 ~ 4, ODI5 ~ 8, ODI9 ~ 12, ODI13 ~ 16) 각각을 메모리 셀 어레이들(① ~ ⑧) 각각으로 출력한다. 이때, 메모리 셀 어레이들(① ~ ⑧) 각각에는 동일한 4비트씩의 테스트 데이터가 저장된다.

<15> 도2는 도1에 나타낸 비교기의 일예의 구성을 나타내는 블록도로서, 비교기들(30-1 ~ 30-16)로 구성된 1차 비교기와 비교기들(32-1 ~ 32-8)로 구성된 2차 비교기로 구성되어 있다.

<16> 도2에 나타낸 비교기의 동작을 설명하면 다음과 같다.

<17> 비교기들(30-1 ~ 30-8) 각각은 짝수번째 메모리 셀 어레이(10-1)로부터 출력되는 2비트씩의 데이터((ED01, 2) ~ (ED015, 16))를 비교하여 비교 결과 데이터를 발생한다.

만일 2비트씩의 데이터가 일치하면 "하이"레벨의 비교 결과 데이터를 발생하고, 일치하지 않으면 "로우"레벨의 데이터를 발생한다. 마찬가지로, 비교기들(30-9 ~ 30-16) 각각은 홀수번째 메모리 셀 어레이(10-2)로부터 출력되는 2비트씩의 데이터((OD01, 2) ~ (OD015, 16))를 비교하여 비교 결과 데이터를 발생한다. 만일 2비트씩의 데이터가 일치하면 "하이"레벨의 비교 결과 데이터를 발생하고, 일치하지 않으면 "로우"레벨의 비교 결과 데이터를 발생한다. 비교기들(32-1 ~ 32-4) 각각은 비교기들(30-1 ~ 30-8)로부터 출력되는 비교 결과 데이터를 2비트씩 비교하여 비교 결과 데이터(MA1 ~ MA4)를 데이터 입출력 패드들(DQ1, DQ3, DQ5, DQ7)로 출력한다. 비교기들(32-5 ~ 32-6) 각각은 비교기들(30-9 ~ 30-16)로부터 출력되는 비교 결과 데이터를 2비트씩 비교하여 비교 결과 데이터(MA5 ~ MA8)를 데이터 입출력 패드들(DQ9, DQ11, DQ13, DQ15)로 출력한다.

<18> 즉, 도2에 나타낸 비교기(16)는 메모리 셀 어레이들(①, ②, ③, ④, ⑤, ⑥, ⑦, ⑧) 각각으로부터 출력되는 4비트씩의 데이터를 비교하여 비교 결과 데이터(MA1 ~ MA8)를 데이터 입출력 패드들(DQ1, DQ3, DQ5, DQ7, DQ9, DQ11, DQ13, DQ15)로 출력한다.

<19> 테스트는 데이터 입출력 패드들(DQ1, DQ3, DQ5, DQ7, DQ9, DQ11, DQ13)로부터 출력되는 비교 결과 데이터(MA1 ~ MA8)의 상태를 보고 메모리 셀 어레이들(① ~ ⑧) 각각의 결함이 있는 메모리 셀들의 어드레스를 파악할 수 있다. 예를 들어, 데이터 입출력 패드(DQ1)로부터 출력되는 비교 결과 데이터(MA1)가 "로우"레벨이면 메모리 셀 어레이(①)의 선택된 메모리 셀들에 해당하는 어드레스에 결함이 있는 것으로 파악하게 된다.

<20> 그런데, 만일 병렬 비트 테스트시의 리드 동작시에 사용되는 데이터 입출력 패드들의 수를 줄이기 위하여 비교기들(32-1 ~ 32-8)로부터 출력되는 2비트씩의 데이터를 비교하여 4비트의 비교 결과 데이터를 출력하게 되면 테스트는 메모리 셀 어레이들(① ~ ⑧)

중의 결합이 있는 메모리 셀들의 결합이 있는 어드레스를 정확하게 파악할 수 없게 된다

<21> 따라서, 도1에 나타낸 종래의 더블 데이터 레이트로 동작하는 반도체 메모리 장치는 병렬 비트 테스트시의 라이트 동작시에는 4개의 데이터 입출력 패드들로도 테스트가 가능하지만, 리드 동작시에는 최소 8개의 데이터 입출력 패드들을 사용하여야만 테스트가 가능하였다. 결과적으로, 16비트의 데이터를 입출력하는 것이 가능한 더블 데이터 레이트로 동작하는 종래의 반도체 메모리 장치는 병렬 비트 테스트를 위하여 최소 8개의 데이터 입출력 패드들이 요구되며, 이에 따라, 동시에 테스트할 수 있는 반도체 메모리 장치의 수에 제한이 있게 된다는 문제점이 있었다.

<22> 즉, 더블 데이터 레이트로 동작하는 종래의 반도체 메모리 장치의 경우에 병렬 비트 테스트를 위하여 최소 2 × 선택되는 컬럼 선택신호 라인들의 수 × 선택되는 워드 라인들의 수만큼의 데이터 입출력 패드들이 요구되기 때문에 많은 수의 반도체 메모리 장치를 동시에 테스트하는 것이 불가능하다는 문제점이 있었다.

<23> 마찬가지로, 싱글 데이터 레이트로 동작하는 반도체 메모리 장치의 경우에는 병렬 비트 테스트를 위하여 최소 선택되는 컬럼 선택신호 라인들의 수 × 선택되는 워드 라인들의 수만큼의 데이터 입출력 패드들이 요구되기 때문에 많은 수의 반도체 메모리 장치를 동시에 테스트하는 것이 불가능하다는 문제점이 있었다.

【발명이 이루고자 하는 기술적 과제】

<24> 본 발명의 목적은 병렬 비트 테스트를 위하여 사용되는 데이터 입출력 패드들의 수를 줄일 수 있는 반도체 메모리 장치를 제공하는데 있다.

- <25> 본 발명의 다른 목적은 상기 목적을 달성하기 위한 반도체 메모리 장치의 테스트 방법을 제공하는데 있다.
- <26> 상기 목적을 달성하기 위한 본 발명의 반도체 메모리 장치의 제1형태는 n (n 은 1보다 큰 정수)개의 워드 라인들과 m (m 은 1보다 큰 정수)개의 컬럼 선택신호 라인들이 선택됨에 의해서 각각 x (x 는 1보다 큰 정수)비트의 데이터를 입출력하는 nm 개의 메모리 셀 어레이들, y (y 는 1보다 큰 정수)개의 데이터 입출력 패드들을 통하여 입력되는 y 비트의 데이터를 $nm \times x$ 비트의 데이터로 신장하여 상기 nm 개의 메모리 셀 어레이들 각각으로 상기 x 비트의 데이터를 라이트하는 테스트 데이터 라이트 회로, 및 상기 nm 개의 메모리 셀 어레이들 각각으로부터 출력되는 x 비트의 데이터를 각각 비교하여 nm 비트의 비교 결과 데이터를 발생하고, 제어신호에 응답하여 상기 nm 비트의 비교 결과 데이터를 y 비트씩 선택하여 선택된 y 비트의 비교 결과 데이터를 대응하는 상기 y 개의 데이터 입출력 패드들로 출력하는 테스트 데이터 리드 회로를 구비하는 것을 특징으로 한다.
- <27> 상기 목적을 달성하기 위한 본 발명의 반도체 메모리 장치의 제2형태는 n (n 은 1보다 큰 정수)개의 워드 라인들과 m (m 은 1보다 큰 정수)개의 컬럼 선택신호 라인들이 선택됨에 의해서 각각 x (x 는 1보다 큰 정수)비트의 데이터를 입출력하는 nm 개의 메모리 셀 어레이들, y (y 는 1보다 큰 정수)개의 데이터 입출력 패드들을 통하여 입력되는 y 비트의 데이터를 nm (nm 은 y 의 정수배) $\times x$ 비트의 데이터로 신장하여 상기 nm 개의 메모리 셀 어레이들 각각으로 상기 x 비트의 데이터를 라이트하는 테스트 데이터 라이트 회로, 및 상기 nm 개의 메모리 셀 어레이들 각각으로부터 출력되는 x 비트의 데이터를 각각 비교하여 nm 비트의 비교 결과 데이터를 발생하고, 제어신호에 응답하여 상기 nm 비트의 비교 결과 데이터를 상기 n 개의 워드 라인들 각각에 대응하여 발생하는 비트 데이터끼리 y 개로 그룹

화하여 출력하거나, 상기 m 개의 컬럼 선택신호 라인들 각각에 대응하여 발생하는 비트 데이터끼리 y 개로 그룹화하여 출력하고, 상기 y 개의 그룹화된 비트 데이터 각각을 비교하여 발생하는 y 비트의 비교 결과 데이터를 상기 y 개의 데이터 입출력 패드들을 통하여 출력하는 테스트 데이터 리드 회로를 구비하는 것을 특징으로 한다.

<28> 상기 다른 목적을 달성하기 위한 본 발명의 반도체 메모리 장치의 테스트 방법의 제1형태는 n (n 은 1보다 큰 정수)개의 워드 라인들과 m (m 은 1보다 큰 정수)개의 컬럼 선택신호 라인들이 선택됨에 의해서 각각 x (x 는 1보다 큰 정수)비트의 데이터를 입출력하는 nm 개의 메모리 셀 어레이들을 구비한 반도체 메모리 장치의 테스트 방법에 있어서, y (y 는 1보다 큰 정수)개의 데이터 입출력 패드들을 통하여 입력되는 y 비트의 데이터를 $nm \times x$ 비트의 데이터로 신장하여 상기 nm 개의 메모리 셀 어레이들 각각으로 상기 x 비트의 데이터를 라이트하는 테스트 데이터 라이트 단계, 및 상기 nm 개의 메모리 셀 어레이들 각각으로부터 출력되는 x 비트의 데이터를 각각 비교하여 nm 비트의 비교 결과 데이터를 발생하고, 제어신호에 응답하여 상기 nm 비트의 비교 결과 데이터를 y 비트씩 선택하여 선택된 y 비트의 비교 결과 데이터를 대응하는 상기 y 개의 데이터 입출력 패드들로 출력하는 테스트 데이터 리드 단계를 구비하는 것을 특징으로 한다.

<29> 상기 다른 목적을 달성하기 위한 본 발명의 반도체 메모리 장치의 테스트 방법의 제2형태는 n (n 은 1보다 큰 정수)개의 워드 라인들과 m (m 은 1보다 큰 정수)개의 컬럼 선택신호 라인들이 선택됨에 의해서 각각 x (x 는 1보다 큰 정수)비트의 데이터를 입출력하는 nm 개의 메모리 셀 어레이들을 구비한 반도체 메모리 장치의 테스트 방법에 있어서, y (y 는 1보다 큰 정수)개의 데이터 입출력 패드들을 통하여 입력되는 y 비트의 데이터를 nm (nm 은 y 의 정수배) x 비트의 데이터로 신장하여 상기 nm 개의 메모리 셀 어레이들 각각

으로 상기 x비트의 데이터를 라이트하는 테스트 데이터 라이트 단계, 및 상기 nm개의 메모리 셀 어레이들 각각으로부터 출력되는 x비트의 데이터를 각각 비교하여 nm비트의 비교 결과 데이터를 발생하고, 제어신호에 응답하여 상기 nm비트의 비교 결과 데이터를 상기 n개의 워드 라인들 각각에 대응하여 발생하는 비트 데이터끼리 y개로 그룹화하여 출력하거나, 상기 m개의 컬럼 선택신호 라인들 각각에 대응하여 발생하는 비트 데이터끼리 y개로 그룹화하여 출력하고, 상기 y개의 그룹화된 비트 데이터 각각을 비교하여 발생하는 y비트의 비교 결과 데이터를 상기 y개의 데이터 입출력 패드들을 통하여 출력하는 테스트 데이터 리드 단계를 구비하는 것을 특징으로 한다.

【발명의 구성 및 작용】

- <30> 이하, 첨부한 도면을 참고로 하면 본 발명의 반도체 메모리 장치 및 이 장치의 테스트 방법을 설명하면 다음과 같다.
- <31> 도3는 본 발명의 더블 데이터 레이트로 동작하는 반도체 메모리 장치의 일실시예의 구성을 나타내는 블록도로서, 도1에 나타난 반도체 메모리 장치의 구성에 선택회로(20)를 추가하여 구성되어 있다.
- <32> 도3에 나타난 블록들 각각의 기능은 도1에 나타난 블록들 각각의 기능과 동일하므로, 설명을 생략하기로 하고, 여기에서는 추가되는 블록인 선택회로(20)의 기능에 대해서만 설명하기로 한다.
- <33> 먼저, 병렬 비트 테스트시에 제어신호(CON)가 "로우"레벨로 설정되면 선택회로(20)는 비교기(16)로부터 출력되는 8비트의 비교 결과 데이터(MA1 ~ MA8)를 입력하고 8비트의 비교 결과 데이터중 짝수번째 메모리 셀 어레이(10-1)로부터 출력되는 4비트씩의 데

이터(ED01 ~ 4, ED05 ~ 8, ED09 ~ 12, ED013 ~ 16)를 각각 비교하여 발생하는 4비트의 비교 결과 데이터(MA1 ~ MA4)를 선택하여 데이터(ma1 ~ ma4)로 발생한다. 이때 발생하는 4비트의 데이터(ma1 ~ ma4)는 데이터 입출력 패드들(DQ1, DQ5, DQ9, DQ13)을 통하여 각각 출력된다.

<34> 다음으로, 병렬 비트 테스트시에 제어신호(CON)가 "하이"레벨로 설정되면 선택회로(20)는 비교기(16)로부터 출력되는 8비트의 비교 결과 데이터(MA5 ~ MA8)를 입력하고 8비트의 비교 결과 데이터중 홀수번째 메모리 셀 어레이(10-2)로부터 출력되는 4비트씩의 데이터(OD01 ~ 4, OD05 ~ 8, OD09 ~ 12, OD013 ~ 16)를 각각 비교하여 발생하는 4비트의 비교 결과 데이터(MA5 ~ MA8)를 데이터(ma1 ~ ma4)로 발생한다. 이때 발생하는 4비트의 데이터(ma1 ~ ma4)는 데이터 입출력 패드들(DQ1, DQ5, DQ9, DQ13)을 통하여 각각 출력된다.

<35> 선택회로(20)는 비교기(16)로부터 출력되는 8비트의 비교 결과 데이터(MA1 ~ MA8)를 동시에 8개의 데이터 입출력 패드들을 통하여 출력하는 것이 아니라, 제어신호(CON)에 응답하여 선택회로(20)로부터 출력되는 4비트의 비교 결과 데이터(MA1 ~ MA4 또는 MA5 ~ MA8)를 4비트의 데이터(ma1 ~ ma4)로 출력하고, 이때 발생하는 4비트의 데이터(ma1 ~ ma4)를 4개의 데이터 입출력 패드들(DQ1, DQ5, DQ9, DQ13)을 통하여 출력한다.

<36> 도3에서, 제어신호(CON)는 모드 설정 동작시에 반도체 메모리 장치의 모드 설정 레지스터로 모드 설정 코드를 입력함에 의해서 "로우"레벨 또는 "하이"레벨로 설정하는 것이 가능하다.

- <37> 도3에 나타낸 본 발명의 반도체 메모리 장치의 병렬 비트 테스트 방법은 리드 동작시에 먼저, 제어신호(CON)를 "로우"레벨로 설정하고, 짝수번째 메모리 셀 어레이의 메모리 셀 어레이들(① ~ ④)로부터 출력되는 4비트씩의 데이터를 비교한 비교 결과 데이터(MA1 ~ MA4)를 선택하여 4개의 데이터 입출력 패드들을 통하여 출력한다.
- <38> 이 후, 제어신호(CON)를 "하이"레벨로 설정하고, 홀수번째 메모리 셀 어레이의 메모리 셀 어레이들(⑤ ~ ⑧)로부터 출력되는 4비트씩의 데이터를 비교한 비교 결과 데이터(MA5 ~ MA8)를 4개의 데이터 입출력 패드들을 통하여 출력한다.
- <39> 즉, 도3에 나타낸 본 발명의 반도체 메모리 장치의 병렬 비트 테스트 방법은 짝수번째 메모리 셀 어레이에 대한 테스트 리드 동작을 수행한 후에 홀수번째 메모리 셀 어레이에 대한 테스트 리드 동작을 수행하기 때문에 작은 수의 데이터 입출력 패드들이 테스트를 위하여 사용된다. 따라서, 테스터가 많은 수의 반도체 메모리 장치를 동시에 테스트하는 것이 가능하다.
- <40> 도4는 도3에 나타낸 반도체 메모리 장치의 비교기 및 선택회로의 실시예의 구성을 나타내는 블록도로서, 비교기들(30-1 ~ 30-16, 32-1 ~ 32-8)로 구성된 비교기(16), 및 선택회로들(40-1 ~ 40-4)로 구성된 선택회로(20)로 구성되어 있다.
- <41> 도4에 나타낸 블록들 각각의 기능을 설명하면 다음과 같다.
- <42> 비교기들(30-1 ~ 30-16)의 기능 및 비교기들(32-1 ~ 32-8)의 기능은 도2의 설명을 참고로 하면 쉽게 이해될 것이다.
- <43> 선택회로들(40-1 ~ 40-4) 각각은 제어신호(CON)가 "로우"레벨로 설정되어 있으면 비교기들(32-1 ~ 32-4) 각각으로부터 출력되는 비교 결과 데이터(MA1 ~ MA4)를 데이터

(ma1 ~ ma4)로 출력하고, 이때 발생하는 데이터(ma1 ~ ma4)를 데이터 입출력 패드들(DQ1, DQ5, DQ9, DQ13)로 출력한다. 그리고, 제어신호(CON)가 "하이"레벨로 설정되어 있으면 비교기들(32-5 ~ 32-8) 각각으로부터 출력되는 비교 결과 데이터(MA5 ~ MA8)를 데이터(ma5 ~ ma8)로 출력하고, 이때 발생하는 데이터(ma5 ~ ma8)를 데이터 입출력 패드들(DQ1, DQ5, DQ9, DQ13)로 출력한다.

<44> 즉, 도4에 나타낸 비교기 및 선택회로는 제어신호(CON)가 "로우"레벨로 설정되어 있으면, 짝수번째 메모리 셀 어레이(10-1)의 메모리 셀 어레이들(① ~ ④) 각각으로부터 출력되는 4비트씩의 데이터를 비교한 비교 결과 데이터(MA1 ~ MA4)를 4개의 데이터 입출력 패드들(DQ1, DQ5, DQ9, DQ13)을 통하여 출력한다. 반면에, 제어신호(CON)가 "하이"레벨로 설정되어 있으면, 홀수번째 메모리 셀 어레이(10-2)의 메모리 셀 어레이들(⑤ ~ ⑧) 각각으로부터 출력되는 4비트씩의 데이터를 비교한 비교 결과 데이터(MA5 ~ MA8)를 4개의 데이터 입출력 패드들(DQ1, DQ5, DQ9, DQ13)을 통하여 출력한다.

<45> 따라서, 도3에 나타낸 본 발명의 반도체 메모리 장치는 4개의 데이터 입출력 패드들을 사용하여 병렬 비트 테스트 동작을 수행하는 것이 가능하게 됨으로써 테스터가 도1에 나타낸 종래의 반도체 메모리 장치를 테스트하는 경우보다 2배의 수의 본 발명의 반도체 메모리 장치를 동시에 테스트하는 것이 가능하다.

<46> 도시하지는 않았지만, 경우에 따라서는 두 개의 선택회로들 및 두 개의 제어신호들을 사용하고, 병렬 비트 테스트시에 4번의 리드 동작을 수행하여 2개의 데이터 입출력 패드들을 통하여 2비트씩의 비교 결과 데이터를 출력하도록 구성하는 것도 가능하다. 이와같이 구성하게 되면 도3에 나타낸 반도체 메모리 장치에 비해서 보다 많은 수의 반도체 메모리 장치를 동시에 테스트하는 것이 가능하게 된다.

- <47> 그리고, 상술한 실시예에서는 더블 데이터 레이트로 동작하는 반도체 메모리 장치를 이용하여 본 발명의 병렬 비트 테스트 방법을 설명하였으나, 싱글 데이터 레이트로 동작하는 반도체 메모리 장치의 경우에도 적용 가능하다.
- <48> 예를 들면, 싱글 데이터 레이트로 동작하는 반도체 메모리 장치의 메모리 셀 어레이가 내부적으로 32비트의 데이터를 입출력하고, 선택되는 워드 라인의 수가 2개이고, 선택되는 컬럼 선택신호 라인의 수가 4개인 경우에 종래의 병렬 비트 테스트 방법에 의해서 테스트를 수행하게 되면 최소 8개의 데이터 입출력 패드들이 요구되지만, 본 발명의 방법에 의해서 테스트를 수행하게 되면 2개 또는 4개의 데이터 입출력 패드들이 요구된다. 즉, 본 발명의 방법에 따라 리드 동작을 2회 또는 3회 반복적으로 수행하고, 선택 회로에 의해서 비교 결과 데이터를 선택적으로 출력하면 된다.
- <49> 도5는 본 발명의 더블 데이터 레이트로 동작하는 반도체 메모리 장치의 다른 실시예의 구성을 나타내는 블록도로서, 도1에 나타난 반도체 메모리 장치의 구성에 선택회로(24), 및 비교기(26)를 추가하여 구성되어 있다.
- <50> 도5에 나타난 블록들 각각의 기능은 도1에 나타난 블록들 각각의 기능과 동일하므로, 설명을 생략하기로 하고, 여기에서는 추가되는 블록인 선택회로(24) 및 비교기(26)의 기능에 대해서만 설명하기로 한다.
- <51> 선택회로(24)는 비교기(16)로부터 출력되는 8비트의 비교 결과 데이터(MA1 ~ MA8)를 입력하여 제어신호(CON)가 "로우"레벨이면 메모리 셀 어레이(10)의 선택된 워드 라인들 각각에 연결된 4개씩의 메모리 셀 어레이들((①, ②, ⑤, ⑥), (③, ④, ⑦, ⑧))로부터 출력되는 4비트씩의 비교 결과 데이터((MA1, MA2, MA5, MA6), (MA3, MA4, MA7, MA8))를 선택하여 출력한다. 반면에 제어신호(CON)가

"하이"레벨이면 메모리 셀 어레이(10)의 선택된 컬럼 선택신호 라인들 각각에 연결된 2개씩의 메모리 셀 어레이들((①, ③), (②, ④), (⑤, ⑦), (⑥, ⑧))로부터 출력되는 2비트씩의 비교 결과 데이터((MA1, MA3), (MA2, MA4), (MA5, MA7), (MA6, MA8))를 선택하여 출력한다.

<52> 비교기(26)는 선택회로(26)로부터 출력되는 4비트씩의 비교 결과 데이터((MA1, MA2, MA5, MA6), (MA3, MA4, MA7, MA8))를 각각 2비트씩 비교하여 발생하는 4비트의 비교 결과 데이터(MAA1, MAA2, MAA3, MAA4)를 데이터 입출력 패드들(DQ1, DQ5, DQ9, DQ13)로 출력하거나, 2비트씩의 비교 결과 데이터((MA1, MA3), (MA2, MA4), (MA5, MA7), (MA6, MA8))를 각각 2비트씩 비교하여 발생하는 4비트의 비교 결과 데이터(MAA1, MAA2, MAA3, MAA4)를 데이터 입출력 패드들(DQ1, DQ5, DQ9, DQ13)로 출력한다.

<53> 테스터는 제어신호(CON)가 "로우"레벨로 설정된 상태에서 데이터 입출력 패드들(DQ1, DQ5, DQ9, DQ13)을 통하여 출력되는 데이터의 상태를 보고 결함이 있는 워드 라인에 연결된 메모리 셀들의 어드레스를 파악하게 된다. 또한, 제어신호(CON)가 "하이"레벨로 설정된 상태에서 데이터 입출력 패드들(DQ1, DQ5, DQ9, DQ13)을 통하여 출력되는 데이터의 상태를 보고 결함이 있는 컬럼 선택신호 라인에 연결된 메모리 셀들의 어드레스를 파악하게 된다.

<54> 즉, 제어신호(CON)를 "로우"레벨로 설정한 상태에서 테스터에 의해서 결함이 있는 워드 라인에 연결된 메모리 셀들의 어드레스가 파악되면, 결함이 있는 워드 라인을 리던던트 워드 라인으로 대체함에 의해서 반도체 메모리 장치를 리페어한다. 그런데, 만일 워드 라인을 대체함에 의해서 반도체 메모리 장치가 완전하게 리페어되지 못하면, 제어신호(CON)를 "하이"레벨로 설정한 상태에서 테스터에 의해서 결함이 있는 컬럼 선택신호

라인에 연결된 메모리 셀들의 어드레스를 파악하여, 결합이 있는 컬럼 선택신호 라인을 리던던트 컬럼 선택신호 라인으로 대체함에 의해서 반도체 메모리 장치를 리페어한다. 따라서, 만일 워드 라인을 리페어함에 의해서도 반도체 메모리 장치가 리페어되지 못하면, 컬럼 선택신호 라인을 리페어함에 의해서 반도체 메모리 장치를 리페어할 수 있게 된다.

<55> 도5에 나타낸 본 발명의 반도체 메모리 장치는 먼저, 동일 워드 라인에 연결된 메모리 셀 어레이들로부터 출력되는 데이터를 비교한 비교 결과 데이터를 데이터 입출력 패드들을 통하여 출력하고, 이 후 동일 컬럼 선택신호 라인에 연결된 메모리 셀 어레이들로부터 출력되는 데이터를 비교한 비교 결과 데이터를 데이터 입출력 패드들을 통하여 출력한다. 이때, 데이터 입출력 패드들의 수는 선택되는 워드 라인의 수 또는 선택되는 컬럼 선택신호 라인의 수중 큰 수에 의해서 결정된다. 도5에 나타낸 반도체 메모리 장치의 경우에는 선택되는 워드 라인의 수는 2개이고, 선택되는 컬럼 선택신호 라인의 수는 4개이므로 병렬 비트 테스트를 위하여 요구되는 최소한의 데이터 입출력 패드의 수는 4개가 된다.

<56> 따라서, 도5에 나타낸 본 발명의 반도체 메모리 장치는 병렬 비트 테스트시에 최소 4개의 데이터 입출력 패드들이 사용되므로, 테스터가 종래의 반도체 메모리 장치에 비해서 2배 많은 수의 본 발명의 반도체 메모리 장치를 동시에 테스트하는 것이 가능하다.

<57> 도6은 도5에 나타낸 반도체 메모리 장치의 비교기들 및 선택회로의 실시예의 구성을 나타내는 블록도로서, 도4에 나타낸 비교기에 선택회로들(44-1 ~ 44-4), 및 비교기들(46-1 ~ 46-4)을 추가하여 구성되어 있다.

- <58> 도6에 나타난 블록들중 도4에 나타난 블록들과 동일한 블록들의 기능은 도4의 설명을 참고로하기 바라며, 여기에서는 추가되는 블록들 각각의 기능에 대해서 설명하기로 한다.
- <59> 선택회로(44-1)는 제어신호(CON)에 응답하여 2비트의 비교 결과 데이터(MA1, MA5)를 선택하거나, 2비트의 비교 결과 데이터(MA1, MA3)를 선택하여 데이터(maa1)로 출력한다. 선택회로(44-2)는 제어신호(CON)에 응답하여 2비트의 비교 결과 데이터(MA2, MA6)를 선택하거나, 2비트의 비교 결과 데이터(MA2, MA4)를 선택하여 데이터(maa2)로 출력한다. 또한, 선택회로(44-3)는 제어신호(CON)에 응답하여 2비트의 비교 결과 데이터(MA3, MA7)를 선택하거나, 2비트의 비교 결과 데이터(MA5, MA7)를 선택하여 데이터(maa3)로 출력한다. 선택회로(44-4)는 제어신호(CON)에 응답하여 2비트의 비교 결과 데이터(MA4, MA8)를 선택하거나, 2비트의 비교 결과 데이터(MA6, MA8)를 선택하여 데이터(maa4)로 출력한다.
- <60> 비교기들(46-1 ~ 46-4) 각각은 선택회로들(44-1 ~ 44-4) 각각으로부터 출력되는 2비트씩의 데이터(maa1 ~ maa4)를 비교하여 비교 결과 데이터(MAA1 ~ MAA4)를 발생하고, 이때 발생하는 비교 결과 데이터(MAA1 ~ MAA4)가 데이터 입출력 패드들(DQ1, DQ5, DQ9, DQ13)로 출력된다.
- <61> 상술한 다른 실시예에서는 본 발명의 병렬 비트 테스트 방법을 더블 데이터 레이트로 동작하는 반도체 메모리 장치를 이용하여 설명하였으나, 싱글 데이터 레이트로 동작하는 반도체 메모리 장치에도 적용되어 테스트를 위하여 사용되는 데이터 입출력 패드들의 수를 줄일 수 있다.

<62> 예를 들면, 싱글 데이터 레이트로 동작하는 반도체 메모리 장치의 메모리 셀 어레이가 내부적으로 32비트의 데이터를 입출력하고, 선택되는 워드 라인의 수가 2개이고, 선택되는 컬럼 선택신호 라인의 수가 4개인 경우에 종래의 병렬 비트 테스트 방법에 의해서 테스트를 수행하게 되면 최소 8개의 데이터 입출력 패드들이 요구되지만, 본 발명의 방법에 의해서 테스트를 수행하게 되면 최소 4개의 데이터 입출력 패드들이 요구된다. 즉, 본 발명의 방법에 따라 리드 동작을 2회 반복적으로 수행하고, 선택회로에 의해서 비교 결과 데이터를 선택적으로 출력하면 된다.

<63> 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

【발명의 효과】

<64> 본 발명의 반도체 메모리 장치 및 이 장치의 테스트 방법은 작은 수의 데이터 입출력 패드들을 사용하여 테스트가 가능하다.

<65> 따라서, 테스터가 종래보다 많은 수의 반도체 메모리 장치를 동시에 테스트하는 것이 가능하다.

【특허청구범위】

【청구항 1】

n (n 은 1보다 큰 정수)개의 워드 라인들과 m (m 은 1보다 큰 정수)개의 컬럼 선택신호 라인들이 선택됨에 의해서 각각 x (x 는 1보다 큰 정수)비트의 데이터를 입출력하는 nm 개의 메모리 셀 어레이들;

y (y 는 1보다 큰 정수)개의 데이터 입출력 패드들을 통하여 입력되는 y 비트의 데이터를 $nm \times x$ 비트의 데이터로 신장하여 상기 nm 개의 메모리 셀 어레이들 각각으로 상기 x 비트의 데이터를 라이트하는 테스트 데이터 라이트 회로; 및

상기 nm 개의 메모리 셀 어레이들 각각으로부터 출력되는 x 비트의 데이터를 각각 비교하여 nm 비트의 비교 결과 데이터를 발생하고, 제어신호에 응답하여 상기 nm 비트의 비교 결과 데이터를 y 비트씩 선택하여 선택된 y 비트의 비교 결과 데이터를 대응하는 상기 y 개의 데이터 입출력 패드들로 출력하는 테스트 데이터 리드 회로를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 2】

제1항에 있어서, 상기 테스트 데이터 라이트 회로는

상기 nm 개의 메모리 셀 어레이들 각각으로 x 비트의 데이터를 라이트하는 경우에,

상기 nm 개의 메모리 셀 어레이들 각각으로 라이트되는 x 비트의 데이터는 동일한 비트 데이터인 것을 특징으로 하는 반도체 메모리 장치.

【청구항 3】

제1항에 있어서, 상기 테스트 데이터 리드 회로는

상기 nm 개의 메모리 셀 어레이들 각각으로부터 출력되는 x 비트의 데이터를 각각 비교하여 nm 비트의 비교 결과 데이터를 발생하는 비교기; 및

상기 nm 비트의 비교 결과 데이터를 상기 제어신호에 응답하여 y 비트씩 선택하여 선택된 y 비트의 비교 결과 데이터를 대응하는 상기 y 개의 데이터 입출력 패드들로 출력하는 선택회로를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 4】

n (n 은 1보다 큰 정수)개의 워드 라인들과 m (m 은 1보다 큰 정수)개의 컬럼 선택신호 라인들이 선택됨에 의해서 각각 x (x 는 1보다 큰 정수)비트의 데이터를 입출력하는 nm 개의 메모리 셀 어레이들;

y (y 는 1보다 큰 정수)개의 데이터 입출력 패드들을 통하여 입력되는 y 비트의 데이터를 nm (nm 은 y 의 정수배) x 비트의 데이터로 신장하여 상기 nm 개의 메모리 셀 어레이들 각각으로 상기 x 비트의 데이터를 라이트하는 테스트 데이터 라이트 회로; 및

상기 nm 개의 메모리 셀 어레이들 각각으로부터 출력되는 x 비트의 데이터를 각각 비교하여 nm 비트의 비교 결과 데이터를 발생하고, 제어신호에 응답하여 상기 nm 비트의 비교 결과 데이터를 상기 n 개의 워드 라인들 각각에 대응하여 발생하는 비트 데이터끼리 y 개로 그룹화하여 출력하거나, 상기 m 개의 컬럼 선택신호 라인들 각각에 대응하여 발생하는 비트 데이터끼리 y 개로 그룹화하여 출력하고, 상기 y 개의 그룹화된 비트 데이터 각각을 비교하여 발생하는 y 비트의 비교 결과 데이터를 상기 y 개의 데이터 입출력 패드들을 통하여 출력하는 테스트 데이터 리드 회로를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 5】

제4항에 있어서, 상기 테스트 데이터 라이트 회로는
 상기 nm 개의 메모리 셀 어레이들 각각으로 x 비트의 데이터를 라이트하는 경우에,
 상기 nm 개의 메모리 셀 어레이들 각각으로 라이트되는 x 비트의 데이터는 동일한 비트 데이터인 것을 특징으로 하는 반도체 메모리 장치.

【청구항 6】

제4항에 있어서, 상기 테스트 데이터 리드 회로는
 상기 nm 개의 메모리 셀 어레이들 각각으로부터 출력되는 상기 x 비트의 데이터를
 각각 비교하여 nm 비트의 비교 결과 데이터를 발생하는 제1비교기;
 상기 제어신호에 응답하여 상기 nm 비트의 비교 결과 데이터를 상기 n 개의 워드 라인들 각각에 대응하여 발생하는 비트 데이터끼리 y 개로 그룹화하여 출력하거나, 상기 m 개의 컬럼 선택신호 라인들 각각에 대응하여 발생하는 비트 데이터끼리 y 개로 그룹화하여 출력하는 선택회로; 및
 상기 y 개의 그룹화된 비트 데이터 각각을 비교하여 발생하는 y 비트의 비교 결과 데이터를 상기 y 개의 데이터 입출력 패드들을 통하여 출력하는 제2비교기를 구비하는 것을
 특징으로 하는 반도체 메모리 장치.

【청구항 7】

제6항에 있어서, 상기 y 는
 상기 n 이 상기 m 보다 큰 경우에는 최소 n 으로 설정되고,

상기 m 이 상기 n 보다 큰 경우에는 최소 m 으로 설정되는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 8】

n (n 은 1보다 큰 정수)개의 워드 라인들과 m (m 은 1보다 큰 정수)개의 컬럼 선택신호 라인들이 선택됨에 의해서 각각 x (x 는 1보다 큰 정수)비트의 데이터를 입출력하는 nm 개의 메모리 셀 어레이들을 구비한 반도체 메모리 장치의 테스트 방법에 있어서,

y (y 는 1보다 큰 정수)개의 데이터 입출력 패드들을 통하여 입력되는 y 비트의 데이터를 $nm \times x$ 비트의 데이터로 신장하여 상기 nm 개의 메모리 셀 어레이들 각각으로 상기 x 비트의 데이터를 라이트하는 테스트 데이터 라이트 단계; 및

상기 nm 개의 메모리 셀 어레이들 각각으로부터 출력되는 x 비트의 데이터를 각각 비교하여 nm 비트의 비교 결과 데이터를 발생하고, 제어신호에 응답하여 상기 nm 비트의 비교 결과 데이터를 y 비트씩 선택하여 선택된 y 비트의 비교 결과 데이터를 대응하는 상기 y 개의 데이터 입출력 패드들로 출력하는 테스트 데이터 리드 단계를 구비하는 것을 특징으로 하는 반도체 메모리 장치의 테스트 방법.

【청구항 9】

제8항에 있어서, 상기 테스트 데이터 라이트 단계는

상기 nm 개의 메모리 셀 어레이들 각각으로 x 비트의 데이터를 라이트하는 경우에,

상기 nm 개의 메모리 셀 어레이들 각각으로 라이트되는 x 비트의 데이터는 동일한 비트 데이터인 것을 특징으로 하는 반도체 메모리 장치의 테스트 방법.

【청구항 10】

제8항에 있어서, 상기 테스트 데이터 리드 단계는

상기 nm 개의 메모리 셀 어레이들 각각으로부터 출력되는 x 비트의 데이터를 각각 비교하여 nm 비트의 비교 결과 데이터를 발생하는 비교 단계; 및

상기 nm 비트의 비교 결과 데이터를 상기 제어신호에 응답하여 y 비트씩 선택하여 선택된 y 비트의 비교 결과 데이터를 대응하는 상기 y 개의 데이터 입출력 패드들로 출력하는 선택 단계를 구비하는 것을 특징으로 하는 반도체 메모리 장치의 테스트 방법.

【청구항 11】

n (n 은 1보다 큰 정수)개의 워드 라인들과 m (m 은 1보다 큰 정수)개의 컬럼 선택신호 라인들이 선택됨에 의해서 각각 x (x 는 1보다 큰 정수)비트의 데이터를 입출력하는 nm 개의 메모리 셀 어레이들을 구비한 반도체 메모리 장치의 테스트 방법에 있어서,

y (y 는 1보다 큰 정수)개의 데이터 입출력 패드들을 통하여 입력되는 y 비트의 데이터를 nm (nm 은 y 의 정수배) x 비트의 데이터로 신장하여 상기 nm 개의 메모리 셀 어레이들 각각으로 상기 x 비트의 데이터를 라이트하는 테스트 데이터 라이트 단계; 및

상기 nm 개의 메모리 셀 어레이들 각각으로부터 출력되는 x 비트의 데이터를 각각 비교하여 nm 비트의 비교 결과 데이터를 발생하고, 제어신호에 응답하여 상기 nm 비트의 비교 결과 데이터를 상기 n 개의 워드 라인들 각각에 대응하여 발생하는 비트 데이터끼리 y 개로 그룹화하여 출력하거나, 상기 m 개의 컬럼 선택신호 라인들 각각에 대응하여 발생하는 비트 데이터끼리 y 개로 그룹화하여 출력하고, 상기 y 개의 그룹화된 비트 데이터 각각을 비교하여 발생하는 y 비트의 비교 결과 데이터를 상기 y 개의 데이터 입출력 패드들을

통하여 출력하는 테스트 데이터 리드 단계를 구비하는 것을 특징으로 하는 반도체 메모리 장치의 테스트 방법.

【청구항 12】

제11항에 있어서, 상기 테스트 데이터 라이트 단계는
상기 nm 개의 메모리 셀 어레이들 각각으로 x 비트의 데이터를 라이트하는 경우에,
상기 nm 개의 메모리 셀 어레이들 각각으로 라이트되는 x 비트의 데이터는 동일한 비트 데이터인 것을 특징으로 하는 반도체 메모리 장치의 테스트 방법.

【청구항 13】

제11항에 있어서, 상기 테스트 데이터 리드 단계는
상기 nm 개의 메모리 셀 어레이들 각각으로부터 출력되는 상기 x 비트의 데이터를 각각 비교하여 nm 비트의 비교 결과 데이터를 발생하는 제1비교 단계;
상기 제어신호에 응답하여 상기 nm 비트의 비교 결과 데이터를 상기 n 개의 워드 라인들 각각에 대응하여 발생하는 비트 데이터끼리 y 개로 그룹화하여 출력하거나, 상기 m 개의 컬럼 선택신호 라인들 각각에 대응하여 발생하는 비트 데이터끼리 y 개로 그룹화하여 출력하는 선택 단계; 및
상기 y 개의 그룹화된 비트 데이터 각각을 비교하여 발생하는 y 비트의 비교 결과 데이터를 상기 y 개의 데이터 입출력 패드들을 통하여 출력하는 제2비교 단계를 구비하는 것을 특징으로 하는 반도체 메모리 장치의 테스트 방법.

【청구항 14】

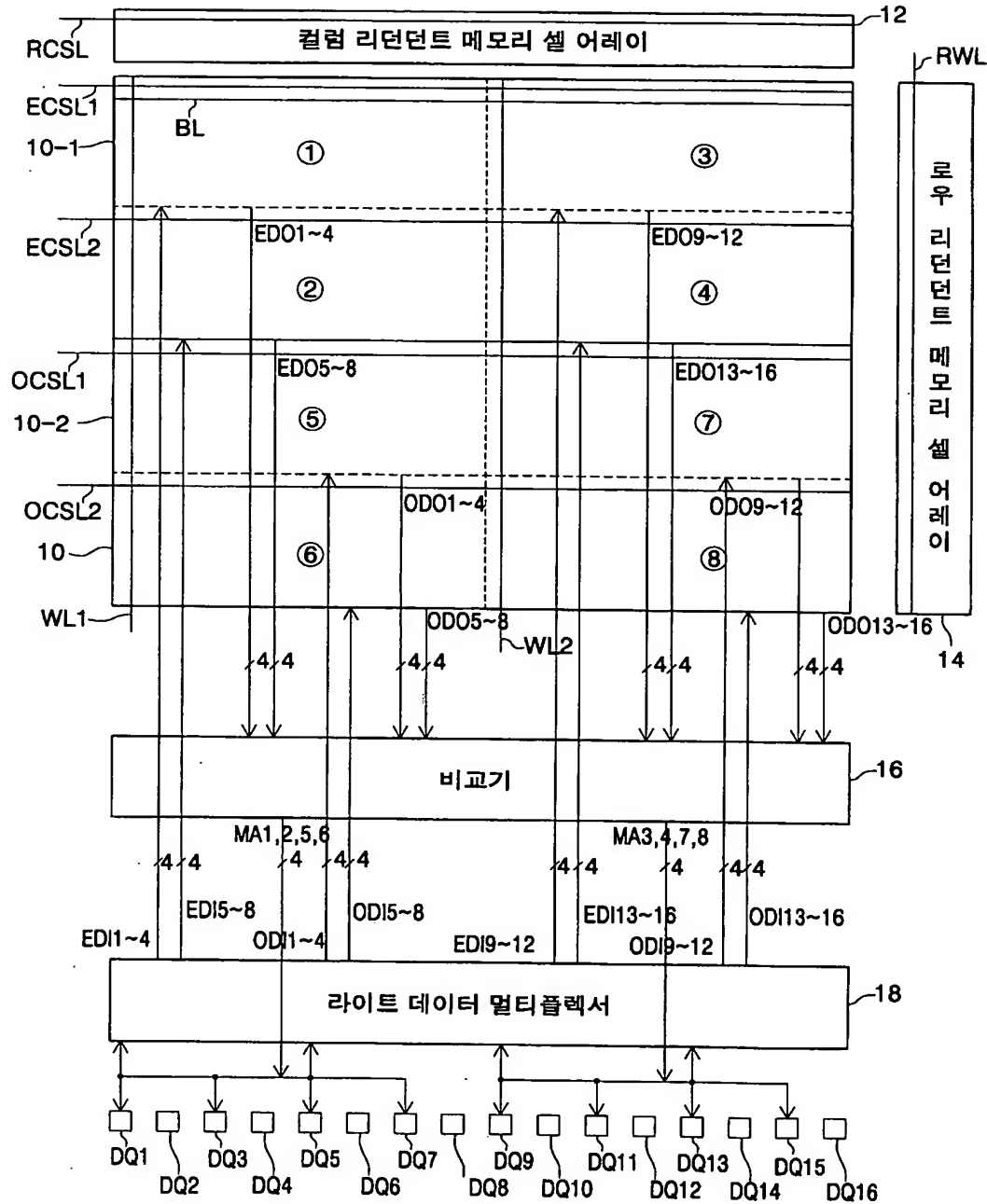
제13항에 있어서, 상기 y 는

상기 n 이 상기 m 보다 큰 경우에는 최소 n 으로 설정되고,

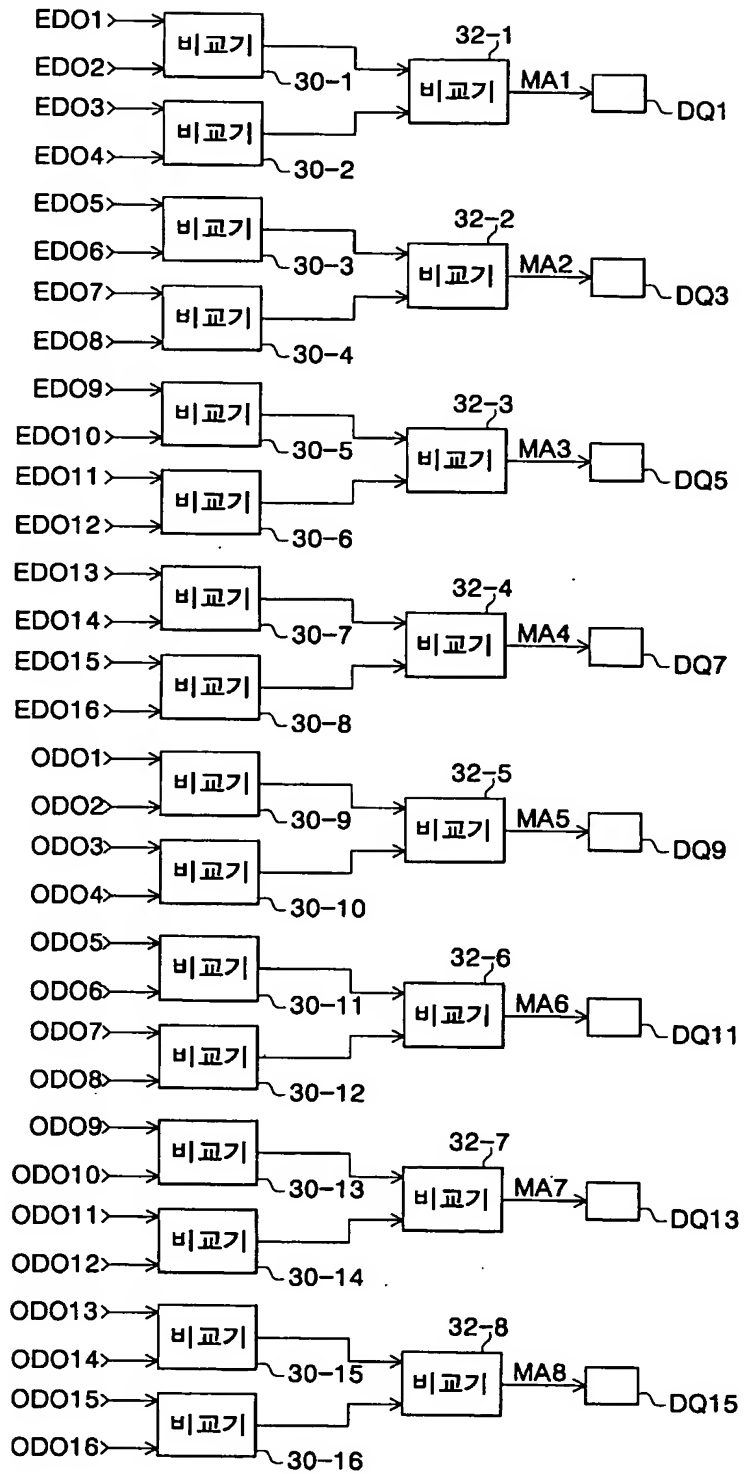
상기 m 이 상기 n 보다 큰 경우에는 최소 m 으로 설정되는 것을 특징으로 하는 반도체 메모리 장치의 테스트 방법.

【도면】

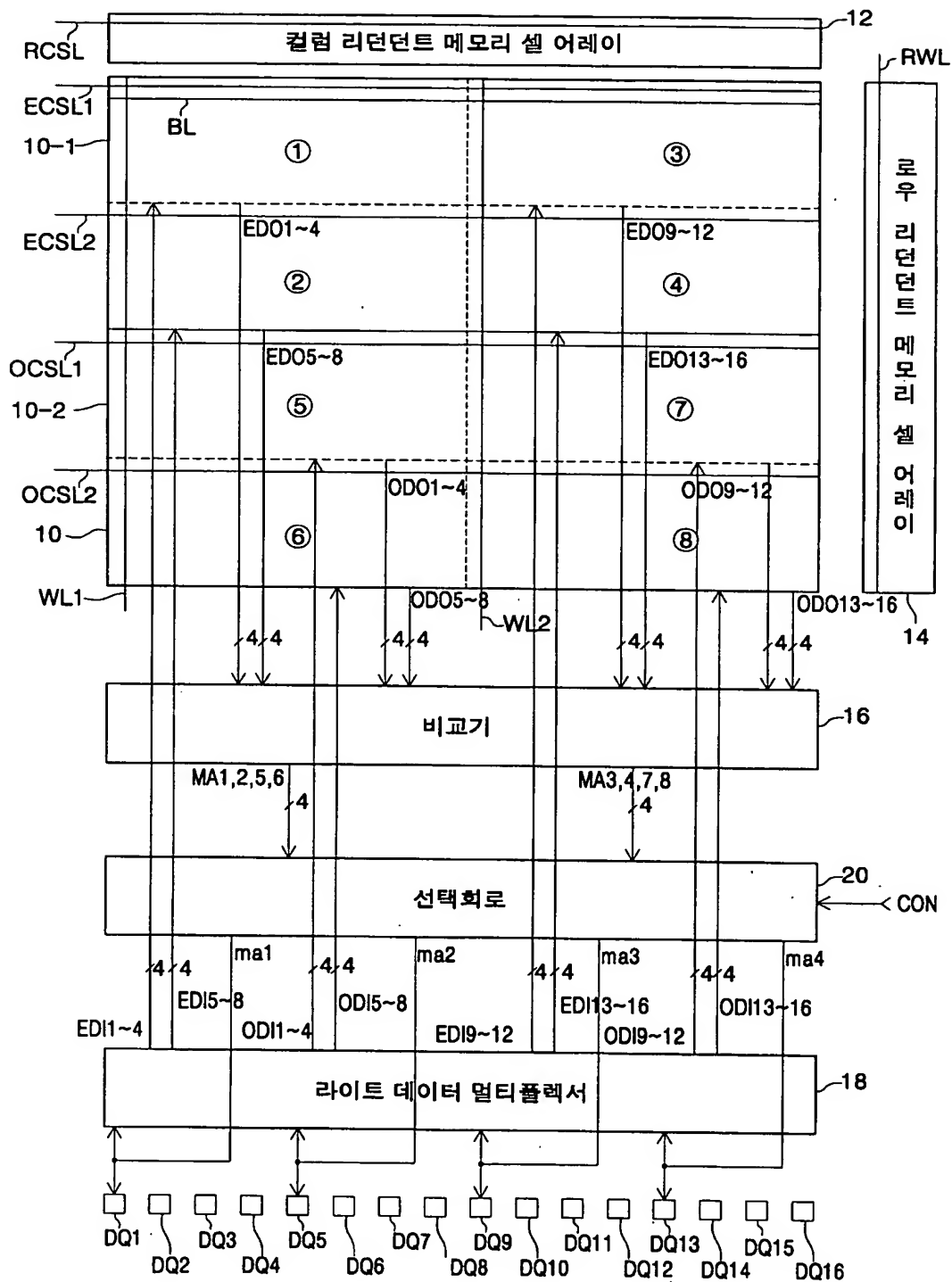
【도 1】



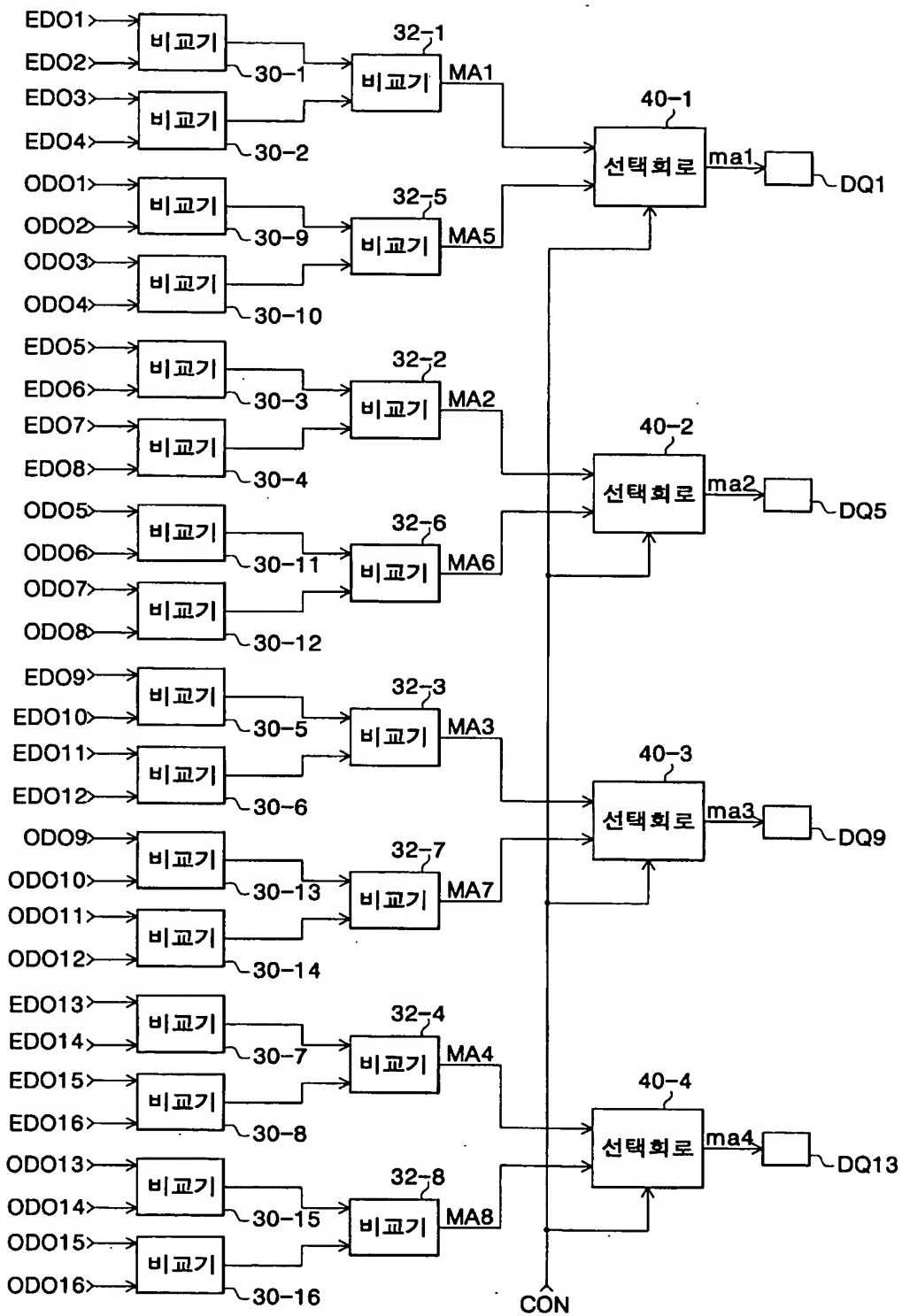
【도 2】



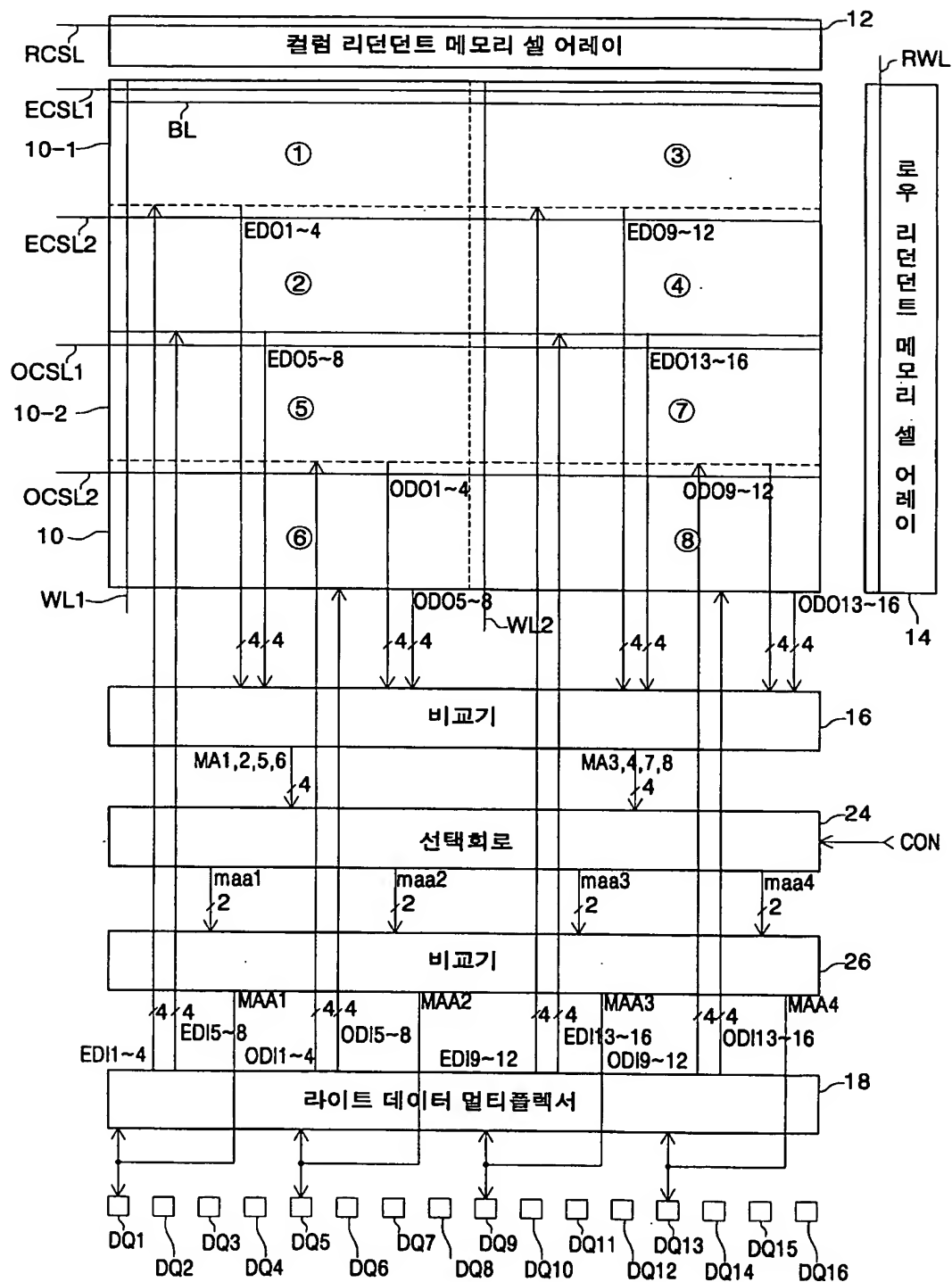
【도 3】



【도 4】



【도 5】



【도 6】

